

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000232153 A**

(43) Date of publication of application: 22 . 08 . 00

(51) Int. Cl.

H01L 21/76(21) Application number: **11032251**(71) Applicant: **SONY CORP**

(22) Date of filing: 10 . 02 . 99

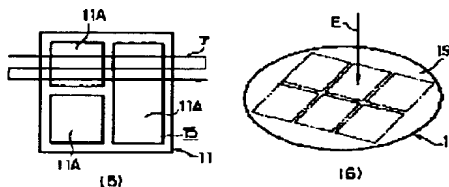
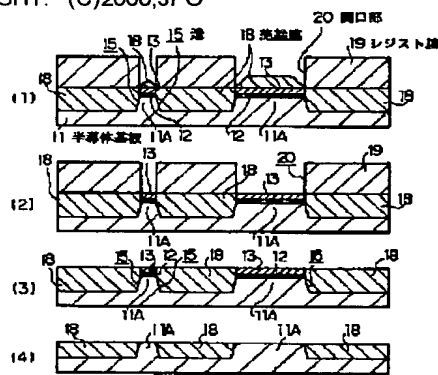
(72) Inventor: **YAMAZAKI TAKESHI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a technique by which an STI can be formed without performing CMP(chemical mechanical polishing) which raises a dishing problem nor requiring any active dummy pattern.

SOLUTION: A semiconductor device manufacturing method in which an element isolating area is formed by forming active area isolating grooves 15 into a semiconductor substrate 11 and filling up the grooves 15 with insulating films 18 includes a step of forming a resist film 19 on the insulating films 18 after forming the insulating films 18 on the semiconductor substrate 11 so that the films may fill up the grooves 15, a step of generating data about the positions of patterns in an active area isolated by the element isolating area by directly reading the positions, and a step of forming an opening 20 through the resist film 19 on the active area by exposing and developing the film 19, based on the data. The method also includes a step of selectively removing the insulating films 18 on the active area from the opening 20.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232153

(P2000-232153A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl.⁷

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

テーマコード(参考)

N 5 F 0 3 2

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平11-32251

(22) 出願日 平成11年2月10日 (1999.2.10)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山崎 武

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム(参考) 5F032 AA34 AA44 AA45 BA02 CA14

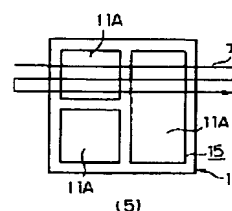
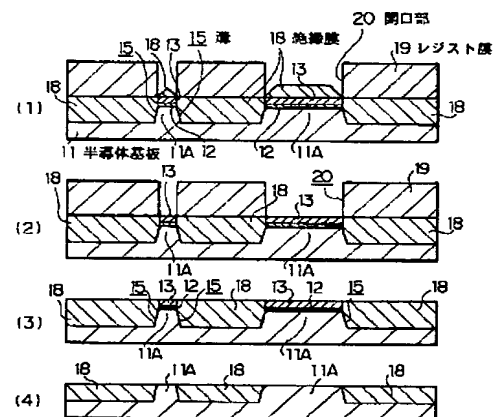
CA17 DA04 DA34 DA53 DA78

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ディッシングが問題となるCMPを行わず、またアクティブダミーパターンを必要としない、STIを形成する技術を提供する。

【解決手段】 半導体基板11にアクティブ領域を分離するための溝15を形成し、その溝15に絶縁膜18を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、溝15を埋め込む状態にして半導体基板11上に上記絶縁膜18を形成した後、その絶縁膜18上にレジスト膜19を形成する工程と、素子分離領域により分離されるアクティブ領域のパターン位置を直接に読み取ることにより、アクティブ領域のパターン位置のデータを作成する工程と、そのデータに基づいてレジスト膜19を露光し、さらに現像して、アクティブ領域上のレジスト膜に開口部20を形成する工程と、その開口部20よりアクティブ領域上の絶縁膜18を選択的に除去する工程とを備えている。



【特許請求の範囲】

【請求項 1】 半導体基板にアクティブ領域を分離するための溝を形成し、前記溝に絶縁膜を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、
前記溝を埋め込む状態にして前記半導体基板上に絶縁膜を形成した後、前記絶縁膜上にレジスト膜を形成する工程と、
前記アクティブ領域のパターン位置を直接に読み取ることにより、前記アクティブ領域のパターン位置のデータ 10 を作成する工程と、
前記データに基づいて前記レジスト膜を露光、現像して前記アクティブ領域上に開口部を形成する工程と、
前記開口部より前記アクティブ領域上の前記絶縁膜を除去する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板にアクティブ領域を分離するための溝を形成し、前記溝に絶縁膜を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、
前記溝を埋め込む状態にして前記半導体基板上に前記絶縁膜を形成した後、前記絶縁膜上にレジスト膜を形成する工程と、
前記アクティブ領域のパターン位置を示す情報ファイルを準備する工程と、
前記情報ファイルより読み出した前記アクティブ領域のパターン位置の情報に基づいて前記レジスト膜を露光、
現像して前記アクティブ領域上に開口部を形成する工程と、
前記開口部より前記アクティブ領域上の前記絶縁膜を除去する工程とを備えていることを特徴とする半導体装置の製造方法。 30

【請求項 3】 半導体基板にアクティブ領域を分離するための溝を形成し、前記溝に絶縁膜を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、
前記溝を埋め込む状態にして前記半導体基板上に絶縁膜を形成した後、前記絶縁膜上にレジスト膜を形成する工程と、
前記アクティブ領域のパターン位置を示す情報ファイル 40 を準備する工程と、
前記アクティブ領域のパターン位置を直接に読み取ることにより、前記アクティブ領域のパターン位置のデータを作成する工程と、
前記直接に読み取って得たパターン位置のデータと前記情報ファイルのデータとに基づいて前記レジスト膜を露光、現像して前記アクティブ領域上に開口部を形成する工程と、
前記開口部より前記アクティブ領域上の前記絶縁膜を除去する工程とを備えていることを特徴とする半導体装置 50

の製造方法。

【請求項 4】 前記アクティブ領域のパターン位置を直接に読み取ることにより得たデータと前記情報ファイルのデータとに基づいて前記レジスト膜に開口部を形成する工程は、
前記直接に読み取って得たアクティブ領域のパターン位置のデータに基づいて前記情報ファイルのデータを補正し、その補正したアクティブ領域のパターン位置のデータに基づいて前記レジスト膜に開口部を形成することを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくは S T I (Shallow Trench Isolation) を形成する際に、アクティブダミーパターンを用いず、あらゆるアクティブ領域の面積比率に対応して S T I を形成することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】 S T I (Shallow Trench Isolation) を形成する従来の技術を、図 5 ～ 図 7 の製造工程図によって説明する。

【0003】図 5 の (1) に示すように、シリコン基板 11 上にパッド酸化膜 12 を例えば 10 nm ～ 20 nm 程度の厚さに形成する。その後、化学的気相成長法 (CVD 法) によって、パッド酸化膜 12 上に窒化シリコン膜 13 を例えば 150 nm ～ 200 nm 程度の厚さに形成する。次いで、レジスト塗布およびリソグラフィ技術によって、窒化シリコン膜 13 上にレジスト膜からなるレジストアクティブパターン 14 を形成する。ここで、図面中央は孤立したアクティブパターンが形成される孤立アクティブ領域 11 S であり、その一方側は D R A M 領域 11 D であり、その他方側は回路領域 11 C である。

【0004】その後、図 5 の (2) に示すように、窒化シリコン膜 13 およびパッド酸化膜 12 をエッチングによりパターンニングし、さらにレジストアクティブパターン 14 [前記図 5 の (1) 参照] を除去する。

【0005】次いで、上記窒化シリコン膜 13 をマスクとして、シリコン基板 11 を深さ 300 nm ～ 400 nm 程度にエッチングして溝 (トレンチ) 15 を形成する。この溝 15 は、D R A M 領域 11 D の素子分離のための溝 15 D や回路領域 11 C の素子分離溝 15 C、孤立アクティブパターンとなる周辺領域のシリコン基板 11 をエッチングすることにより孤立アクティブパターン 16 を形成するための溝 15 M 等になる。

【0006】その後、図 5 の (3) に示すように、溝 15 の内壁に熱酸化膜 (図示省略) を形成し、さらに溝 15 の内部を埋め込む状態に絶縁膜 18、例えば高密度プラズマ CVD 膜を堆積する。上記 H D P 膜はスパッタリ

ングしながらCVDを行うために、溝15のエッジ部分には堆積せず、溝15の底部とアクティブ領域上に堆積されるため、最終的な形状はエッジ部分が傾斜する。

【0007】次いで、図6の(4)に示すように、レジスト塗布およびリソグラフィ技術によって、絶縁膜18上にレジスト膜からなるレジストパターン31を形成する。このレジストパターン31は、例えば回路領域11Cの広いアクティブ領域11W上に開口部32を設けたものである。ここで、広いアクティブ領域というの
10 は、マスク作成が可能な範囲のできるだけ狭いアクティブ領域のことであり、アクティブパターンの反転データそのものではない。

【0008】その後、図6の(5)に示すように、上記レジストパターン31〔前記図6の(4)参照〕をエッチングマスクに用いて、広いアクティブ領域11W上の絶縁膜18を除去する。その後、上記レジストパターン31を除去する。図6の(5)ではレジストパターン31を除去した状態を示した。

【0009】その後、図7の(6)に示すように、化学的機械研磨(以下CMPという)を用いて絶縁膜18の
20 研磨を行う。このとき、DRAM領域11Dや回路領域11Cは、アクティブ領域の割合が素子分離領域の割合より高いため、過剰な研磨を行った場合であっても、研磨ストップとなる窒化シリコン膜13により溝15に埋め込まれた絶縁膜18にディッシングが発生するのが抑制されるので問題はないが、孤立アクティブ領域11Sのフィールド部分は研磨ストップとなる窒化シリコン膜13の存在する密度が低いため、その周囲の絶縁膜18にディッシングが発生して凹んでくる。このため、孤立
30 アクティブパターン16となる部分とその周囲の絶縁膜18の表面より突出することになる。

【0010】上記CMPの研磨の特性としては、酸化シリコン膜からなる絶縁膜18と窒化シリコン膜13との研磨選択比がアクティブ部分の占める面積比率に応じて変化する。具体的には、前記図7の(6)に示すように、広いフィールド中の孤立アクティブパターン16では対窒化シリコン膜13の選択比がとれず過剰に研磨が行われ、逆にアクティブ領域占める面積比率が高い領域では対窒化シリコン膜13との選択比がとれるため、研磨が進行し難くなる。
40

【0011】その後、例えば熱リン酸を用いたウエットエッチングにより窒化シリコン膜13を除去する。その結果、図7の(7)に示すように、DRAM領域11Dや回路領域11Cの絶縁膜18はシリコン基板11よりも突出した状態に形成される。さらに、例えばフッ酸を用いたウエットエッチングによりパッド酸化膜12〔前記図5の(2)参照〕を除去する。その際、絶縁膜18の上層もエッチングされるが、DRAM領域11Dや回路領域11Cの絶縁膜18はシリコン基板11よりも突出した状態に形成されることに変わりはない。
50

【0012】次いで、図示はしないが、犠牲酸化膜を形成し、ウェルを形成するためのイオン注入、しきい値を調整するためのイオン注入等を行った後、犠牲酸化膜を例えばフッ酸を用いたウエットエッチングにより除去する。その際、絶縁膜18の上層もエッチングされる。

【0013】その結果、図7の(8)に示すように、DRAM領域11Dや回路領域11Cのアクティブ領域(シリコン基板11)はその周囲の絶縁膜18よりも低く形成され、アクティブ領域(シリコン基板11)とフィールド領域(絶縁膜18)との段差が大きくなる。一方、孤立アクティブパターン16の周辺の絶縁膜18は孤立アクティブパターン16よりも低く形成されるが、段差は小さい。また、溝15に埋め込まれた絶縁膜18の端部には窪み19が形成される。

【0014】

【発明が解決しようとする課題】CMPの研磨の特性として、酸化シリコン膜からなる絶縁膜と窒化シリコン膜との選択比はアクティブ領域(シリコン基板)部分の面積率に応じて変化する。具体的には、前記従来の技術で説明した図7の(6)に示すように、広いフィールド中に存在する孤立アクティブパターン16では対窒化シリコン膜13の選択比がとれず過剰研磨となり、逆に、アクティブ領域の面積の比率が高い領域では対窒化シリコン膜13との選択比がとれるため、研磨が進行しにくくなる。

【0015】そのため、前記従来の技術で説明した図7の(7)に示すように、研磨のばらつきが生じ、例えばDRAMとロジックとを混載したチップでは、STIの作製が困難になっている。

【0016】そこで、広いアクティブ領域にアクティブダミーパターンを形成する技術が提案されているが、アクティブダミーパターンを形成する際に必要となるデータの生成に上層のパターン情報が必要になるなどの困難が生じている。

【0017】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法である。

【0018】半導体装置の第1の製造方法は、半導体基板にアクティブ領域を分離するための溝を形成し、その溝に絶縁膜を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、溝を埋め込む状態にして半導体基板上に絶縁膜を形成した後、その絶縁膜上にレジスト膜を形成する工程と、アクティブ領域のパターン位置を直接に読み取ることにより、アクティブ領域のパターン位置のデータを作成する工程と、そのデータに基づいてレジスト膜を露光、現像してアクティブ領域上に開口部を形成する工程と、その開口部よりアクティブ領域上の絶縁膜を除去する工程とを備えている。

【0019】上記第1の製造方法では、半導体基板上のアクティブ領域のパターン位置を直接に読み取ること

より、アクティブ領域のパターン位置のデータを作成し、そのデータに基づいて、溝を埋め込む状態にして半導体基板上に絶縁膜上に形成したレジスト膜を露光、現像してアクティブ領域上に開口部を形成し、その開口部よりアクティブ領域上の絶縁膜を除去することから、アクティブ領域上の絶縁膜のみが選択的に除去されることになる。したがって、絶縁膜は溝の内部のみに残される。

【0020】半導体装置の第2の製造方法は、半導体基板にアクティブ領域を分離するための溝を形成し、その溝に絶縁膜を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、溝を埋め込む状態にして半導体基板上に絶縁膜を形成した後、その絶縁膜上にレジスト膜を形成する工程と、アクティブ領域のパターン位置を示す情報ファイルを準備する工程と、その情報ファイルより読み出したアクティブ領域のパターン位置の情報に基づいてレジスト膜を露光、現像してアクティブ領域上に開口部を形成する工程と、その開口部よりアクティブ領域上の絶縁膜を除去する工程とを備えている。

【0021】上記第2の製造方法では、アクティブ領域のパターン位置を示す情報ファイルを準備し、その情報ファイルより読み出したアクティブ領域のパターン位置の情報に基づいてレジスト膜を露光、現像してアクティブ領域上に開口部を形成した後、その開口部よりアクティブ領域上の絶縁膜を除去することから、アクティブ領域上の絶縁膜のみが選択的に除去されることになる。したがって、絶縁膜は溝の内部のみに残される。

【0022】半導体装置の第3の製造方法は、半導体基板にアクティブ領域を分離するための溝を形成し、その溝に絶縁膜を埋め込むことにより素子分離領域を形成する半導体装置の製造方法において、溝を埋め込む状態にして半導体基板上に絶縁膜を形成した後、その絶縁膜上にレジスト膜を形成する工程と、アクティブ領域のパターン位置を示す情報ファイルを準備する工程と、アクティブ領域のパターン位置を直接に読み取ることにより、アクティブ領域のパターン位置のデータを作成する工程と、直接に読み取って得たパターン位置のデータと情報ファイルのデータとに基づいてレジスト膜を露光、現像してアクティブ領域上に開口部を形成する工程と、その開口部よりアクティブ領域上の絶縁膜を除去する工程とを備えている。

【0023】上記第3の製造方法では、アクティブ領域のパターン位置を示す情報ファイルを準備し、かつアクティブ領域のパターン位置を直接に読み取ることにより、アクティブ領域のパターン位置のデータを作成する。そして、直接に読み取って得たパターン位置のデータと情報ファイルのデータとに基づいてレジスト膜を露光、現像してアクティブ領域上に開口部を形成した後、その開口部よりアクティブ領域上の絶縁膜を除去するこ

とから、アクティブ領域上の絶縁膜のみが選択的に除去されることになる。したがって、絶縁膜は溝の内部のみに残される。

【0024】

【発明の実施の形態】本発明の半導体装置の第1の製造方法に係わる実施の形態の一例を、図1によって説明する。図1では、(1)～(4)に製造工程図を示し、(5)にデータの読み取り方法の説明図、(6)に露光の説明図を示す。

【0025】図1の(1)に示すように、半導体基板(例えばシリコン基板)11上にパッド酸化膜12を形成した後、その上に窒化シリコン膜13を形成する。次いで、リソグラフィ技術とエッチングとによって、窒化シリコン膜13、パッド酸化膜12をパターンニングした後、その窒化シリコン膜13をマスクとして、半導体基板11に溝(トレンチ)15を形成する。その後、溝15の内壁に熱酸化膜(図示省略)を形成した後、溝15の内部を埋め込む状態に絶縁膜18、例えば高密度プラズマCVD膜を堆積する。上記HDP膜はスパッタリングしながらCVDを行うために、溝15のエッジ部分には堆積せず、溝15の底部とアクティブ領域11A上に堆積されるため、最終的な形状はエッジ部分が傾斜する。

【0026】その後、レジストを塗布してレジスト膜19を形成する。

【0027】次いで、図1の(5)に示すように、半導体基板11のアクティブ領域11Aのパターン位置を、例えば画像処理によって、直接に読み取ることにより、そのアクティブ領域11Aのパターン位置のデータを作成する。例えば、画像を取り込む撮影装置を、例えば矢印A方向に示す経路のようにスキャニングして、パターン位置の読み取り、データ(例えば座標データ)を作成する。その作成したデータは、例えば一時的に記憶媒体(図示省略)に保存しておいてもよい。

【0028】なお、アクティブ領域11Aのパターン位置を読み取ることは、素子分離領域を形成するために形成した溝15の位置を読み取ることであってもよい。

【0029】次に、図1の(6)に示すように、そのデータに基づいて、例えば電子線露光装置(図示省略)を用いて、電子線Eにより半導体基板1上に形成されているレジスト膜19を露光する。さらにレジスト膜19の現像を行って、前記図1の(1)に示すように、アクティブ領域11A上のレジスト膜19に開口部20を形成する。このように、電子線露光装置を用いたことから、アクティブ領域11Aに対して開口部20を高精度に形成することが可能になる。

【0030】次いで、図1の(2)に示すように、上記レジスト膜19をエッチングマスクに用いて、上記開口部20よりアクティブ領域11A上の絶縁膜18をエッチングすることにより除去する。その際、窒化シリコン

膜 13 がエッチングストップとなる。上記開口部 20 は、電子線露光装置により高精度に形成されたものであるから、アクティブ領域 11A 上の絶縁膜 18 のみを選択的に除去することが可能になる。

【0031】その後、上記レジスト膜 19 を除去する。その結果、図 1 の (3) に示すように、溝 15 の内部に絶縁膜 18 が埋め込まれ、アクティブ領域 11A 上の絶縁膜 18 は除去される。

【0032】さらに、窒化シリコン膜 13、パッド酸化膜 12 を除去した後、プレ酸化膜（または犠牲酸化膜）（図示省略）を形成した後、各種のイオン注入を行った後、そのプレ酸化膜（または犠牲酸化膜）を除去する。そして図 1 の (4) に示すように、素子分離領域となる絶縁膜 18 の表面と、アクティブ領域 11A の表面とがほぼ平坦化される。

【0033】その後、図示はしないが、アクティブ領域（絶縁膜 18 に覆われていない半導体基板 11）の表面にゲート絶縁膜等を形成し、トランジスタ、キャパシタ等の半導体素子を形成する。

【0034】上記第 1 の製造方法では、半導体基板 11 のアクティブ領域のパターン位置を直接に読み取ることであり、アクティブ領域のパターン位置のデータを作成し、そのデータに基づいて、溝 15 を埋め込む状態にして半導体基板 11 上に絶縁膜 18 上に形成したレジスト膜 19 を露光、現像してアクティブ領域上に開口部 20 を形成し、その開口部 20 よりアクティブ領域上の絶縁膜 18 を除去することから、アクティブ領域上の絶縁膜 18 のみが選択的に除去されることになる。したがって、絶縁膜 18 は溝 15 の内部のみに残される。この製造方法では、従来用いていた CMP による平坦化工程を省略することが可能になる。そのため、CMP により発生していたディッシングは起こらない。そのため、例えば DRAM と孤立アクティブパターンを有するような半導体装置を同一基板に形成することが可能になる。したがって、DRAM とロジック素子とを同一基板に混載することが可能になる。

【0035】次に、上記実施の形態に係わる具体的製造工程の一例を、図 2 ～ 図 4 の製造工程図によって説明する。

【0036】まず、図 2 の (1) に示すように、半導体基板（例えばシリコン基板）11 上にパッド酸化膜 12 を例えば 10 nm ～ 20 nm 程度の厚さに形成する。その後、化学的気相成長法（CVD 法）によって、パッド酸化膜 12 上に窒化シリコン膜 13 を例えば 150 nm ～ 200 nm 程度の厚さに形成する。

【0037】次いで、図 2 の (2) に示すように、レジスト塗布およびリソグラフィ技術によって、窒化シリコン膜 13 上にレジスト膜からなるレジストアクティブパターン 14 を形成する。ここで、図面中央は孤立アクティブ領域 11S であり、その一方側は DRAM 領域 1

1D であり、その他方側は回路領域 11C である。

【0038】その後、図 2 の (3) に示すように、窒化シリコン膜 13 およびパッド酸化膜 12 をエッチングによりパターニングし、さらにレジストアクティブパターン 14 [前記図 2 の (2) 参照] を除去する。

【0039】次いで、図 3 の (4) に示すように、上記窒化シリコン膜 13 をマスクとして、半導体基板 11 を深さ 300 nm ～ 400 nm 程度にエッチングして溝（トレンチ）15 を形成する。この溝 15 は、DRAM 領域 11D の素子分離のための溝 15D、回路領域 11C の素子分離のための溝 15C、孤立アクティブパターンとなる周辺領域の半導体基板 11 をエッチングすることにより孤立アクティブパターン 16 を形成するための溝 15M になる。

【0040】その後、図 3 の (5) に示すように、溝 15 の内壁に熱酸化膜（図示省略）を形成し、さらに溝 15 の内部を埋め込む状態に絶縁膜 18、例えば高密度プラズマ CVD 膜を堆積する。上記 HDP 膜はスパッタリングしながら CVD を行うために、溝 15 のエッジ部分には堆積せず、溝 15 の底部とアクティブ領域 11A 上に堆積されるため、最終的な形状はエッジ部分が傾斜する。

【0041】その後、図 3 の (6) に示すように、レジスト塗布およびリソグラフィ技術によって、絶縁膜 18 上にレジスト膜 19 を形成する。

【0042】次いで、アクティブ領域のパターン位置を、例えば画像処理によって、直接に読み取ることであり、そのアクティブ領域 11A のパターン位置のデータを作成する。例えば、画像を取り込む撮影装置（図示省略）を、例えば半導体基板 11 の表面上をスキャンして、アクティブ領域 11A のパターン位置の読み取り、データ（例えば座標データ）を作成する。その作成したデータは、例えば一時的に記憶媒体（図示省略）に保存しておいてもよい。

【0043】なお、アクティブ領域 11A のパターン位置を読み取ることは、素子分離領域を形成するために形成した溝 15 の位置を読み取ることであってもよい。

【0044】次に、上記データに基づいて、例えば電子線露光装置（図示省略）を用いて、レジスト膜 19 を露光する。さらにレジスト膜 19 の現像を行って、アクティブ領域 11A 上のレジスト膜 19 に開口部 20 を形成して、アクティブ領域 11A 上の絶縁膜 18 を露出させる。従来では、反転マスクを用いて露光しているため、予め合わせずれマージンをとる必要があり、そのため、狭い領域では開口することができなかった。例えば合わせずれマージンは、アクティブ領域 11A の端部から 0.3 μm 程度の長さが必要であり、最小露光寸法は i 線ステッパを用いた場合は 0.5 μm が限界となっていた。このため、レジスト膜 19 に、1.1 μm 以下のアクティブ領域の反転パターンを発生させることができない

かった。一方、本発明の製造方法では、電子線露光装置を用いたことから、アクティブ領域 11A に対して開口部 20 を高精度に形成することが可能になる。

【0045】次いで、上記レジスト膜 19 をエッチングマスクに用いて、上記開口部 20 よりアクティブ領域 11A 上の絶縁膜 18 をエッチングすることにより除去する。上記開口部 20 は、電子線露光装置により高精度に形成されたものであるから、アクティブ領域 11A 上の絶縁膜 18 のみを選択的に除去することが可能になる。

【0046】このように、アクティブ領域 11A の位置データを直接読み取って、そのデータを電子線露光装置の描画データとして用いることから、合わせずれのマージンを確保することが不要となり、レジスト膜 19 のアクティブ領域 11A 上の開口部 20 の寸法をアクティブ領域 11A の寸法と同一寸法で加工することが可能となる。次いで、レジスト膜 19 をマスクとしたドライエッチングにより、図 4 の (7) に示すように、アクティブ領域 11A 上に形成されている絶縁膜 18 [前記図 3 の (6) 参照] を除去する。この図 4 の (7) では、絶縁膜 18 を除去した後の状態を示した。その後、レジスト膜 19 [前記図 3 の (6) 参照] を除去する。

【0047】次に、例えば熱リン酸を用いてウエットエッチングにより、窒化シリコン膜 13 を除去する。続いて、例えばフッ酸を用いたウエットエッチングにより、パッド酸化膜 12 を除去する。その結果、図 4 の (8) に示すように、アクティブ領域 11A が露出される。

【0048】さらに図示はしないが、犠牲酸化膜を形成した後、各種イオン注入を行い、その後例えばフッ酸を用いたウエットエッチングにより犠牲酸化膜を除去する。上記ウエットエッチングにより、パッド酸化膜 12 や犠牲酸化膜を除去する毎に絶縁膜 18 は膜減りし、最終的にゲート絶縁膜 (図示省略) を形成した後、図 4 の (9) に示すように、絶縁膜 18 の表面とゲート絶縁膜が形成されたシリコン基板 11 の表面とが平坦になるようにする。そのためには、ウエットエッチングの量から逆算して、パッド酸化膜 12 や犠牲酸化膜等の膜厚を設定する必要がある。なお、本発明では、CMP による平坦化は不要となる。

【0049】次に、本発明の第 2 の製造方法に係わる実施の形態の一例を、以下に説明する。

【0050】半導体装置の第 2 の製造方法は、前記図 1 によって説明した第 1 の製造方法において、レジスト膜 19 を露光する際に用いるデータの作成方法が異なるのみで、その他の製造方法は、前記第 1 の製造方法と同様である。そこで、ここでは、データの作成方法を説明する。なお、以下に説明する構成部品には、前記第 1 の製造方法で説明したものと同様のものには同一符号を付与して説明する。

【0051】前記図 1 の (1) によって説明したのと同様にして、レジスト膜 19 を形成する。一方、半導体基

板 11 のアクティブ領域のパターン位置を示す情報ファイル (図示省略) を準備する。そしてその情報ファイルより読み出したアクティブ領域のパターン位置の情報に基づいてレジスト膜 19 を、電子線露光装置 (図示省略) を用いて露光し、さらに現像を行って、アクティブ領域上のレジスト膜 19 に開口部 20 を形成する。その後、前記図 1 の (2) 以降によって説明したのと同様に、その開口部 20 よりアクティブ領域上の絶縁膜 18 を除去し、以降の工程をおこなえばよい。

【0052】上記第 2 の製造方法では、半導体基板 11 のアクティブ領域のパターン位置を示す情報ファイルを準備し、その情報ファイルより読み出したアクティブ領域のパターン位置の情報に基づいてレジスト膜 19 を露光、現像してアクティブ領域上に開口部 20 を形成した後、その開口部 20 よりアクティブ領域上の絶縁膜 18 を除去することから、アクティブ領域上の絶縁膜 18 のみが選択的に除去されることになる。したがって、絶縁膜 18 は溝 15 の内部のみに残される。また、第 1 の製造方法と比較すると、予め半導体基板 11 のアクティブ領域のパターン位置を示す情報ファイルを準備しておくため、データの読み込み時間を短縮できる。

【0053】また、この製造方法では、従来用いていた CMP による平坦化工程を省略することが可能になる。そのため、CMP により発生していたディッシングは起こらない。そのため、例えば DRAM と孤立アクティブパターンを有するような半導体装置を同一基板に形成することが可能になる。したがって、DRAM とロジック素子とを同一基板に混載することが可能になる。

【0054】次に、本発明の第 3 の製造方法に係わる実施の形態の一例を、以下に説明する。

【0055】半導体装置の第 3 の製造方法は、前記図 1 によって説明した第 1 の製造方法において、レジスト膜 19 を露光する際に用いるデータの作成方法が異なるのみで、その他の製造方法は、前記第 1 の製造方法と同様である。そこで、ここでは、データの作成方法を説明する。なお、以下に説明する構成部品には、前記第 1 の製造方法で説明したものと同様のものには同一符号を付与して説明する。

【0056】前記図 1 の (1) によって説明したのと同様にして、レジスト膜 19 を形成する。一方、半導体基板 11 のアクティブ領域のパターン位置を示す情報ファイル (図示省略) を準備する。一方、半導体基板 11 のアクティブ領域のパターン位置を、例えば画像処理によって、直接に読み取ることにより、そのアクティブ領域のパターン位置のデータを作成する。例えば、画像を取り込む撮影装置を例えば矢印のようにスキャニングして、パターン位置の読み取り、データ (例えば座標データ) を作成する。その作成したデータは、例えば一時的に記憶媒体 (図示省略) に保存しておいてもよい。

【0057】なお、アクティブ領域のパターン位置を読

み取することは、素子分離領域を形成するために形成した溝 15 の位置を読み取ることであってもよい。

【0058】そして、直接に読み取って得たパターン位置のデータと情報ファイルのデータとに基づいて、レジスト膜 19 を、電子線露光装置（図示省略）を用いて露光する。その際、直接に読み取って得たアクティブ領域のパターン位置のデータに基づいて情報ファイルのデータを補正し、その補正したアクティブ領域のパターン位置のデータに基づいて上記レジスト膜 19 に開口部 20 の露光を行う。

【0059】続いてレジスト膜 19 の現像を行って、アクティブ領域上のレジスト膜 19 に開口部 20 を形成する。その後、前記図 1 の（2）以降によって説明したのと同様に、その開口部 20 よりアクティブ領域上の絶縁膜 18 を除去し、以降の工程を行えばよい。

【0060】上記第 3 の製造方法では、半導体基板 11 上のアクティブ領域のパターン位置を示す情報ファイルを準備し、かつ半導体基板 11 のアクティブ領域のパターン位置を直接に読み取ることにより、アクティブ領域のパターン位置のデータを作成する。そして、直接に読み取って得たパターン位置のデータと情報ファイルのデータとに基づいてレジスト膜 19 を露光し、さらに現像を行って、アクティブ領域上のレジスト膜 19 に開口部 20 を形成する。その後、開口部 20 よりアクティブ領域上の絶縁膜 18 を除去することから、アクティブ領域上の絶縁膜 18 のみが選択的に除去されることになる。したがって、絶縁膜 18 は溝 15 の内部のみに残される。

【0061】また、第 1 の製造方法と比較すると、予め半導体基板 11 のアクティブ領域のパターン位置を示す情報ファイルを準備しておくため、データの読み込み時間を短縮できる。さらに第 2 の製造方法と比較すると、情報ファイルのデータを直接に読み取ったデータによって補正することから、レジスト膜 19 を形成する前に行った露光、エッチング等によるアクティブ領域（もしくは溝 15）の寸法誤差を補正できるので、より正確なデータで、しかも時間をかけずに、レジスト膜 19 の露光が行える。

【0062】また、この製造方法では、従来用いていた*

* CMP による平坦化工程を省略することが可能になる。そのため、CMP により発生していたディッシングは起こらない。そのため、例えば DRAM と孤立アクティブパターンを有するような半導体装置を同一基板に形成することが可能になる。したがって、DRAM とロジック素子とを同一基板に混載することが可能になる。

【0063】

【発明の効果】以上、説明したように本発明の半導体装置の製造方法によれば、アクティブ領域上の絶縁膜のみを選択的に除去することが可能になる。したがって、アクティブ領域の面積比率によらず、半導体基板面内の平坦化が可能になるので、素子特性ばらつきを抑制することができる。しかも、CMP が不要となるため、アクティブダミーを用いる必要がなくなる。また、アクティブ領域上の絶縁膜を除去刷る際に用いるレジスト膜を露光する際に、下層のパターン情報を直接利用するため、上層のウェルやゲート等のマスク情報がなくても、露光パターンの生成が可能となる。さらに、CMP が不要となるため、工程削減が可能となる。また、アクティブ反転マスクが不要となるため、マスク作製のコストが低減できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の製造方法に係わる実施の形態の一例を示す説明図である。

【図 2】具体的な半導体装置の製造方法の一例を示す製造工程図である。

【図 3】具体的な半導体装置の製造方法に一例を示す製造工程図（続き）である。

【図 4】具体的な半導体装置の製造方法に一例を示す製造工程図（続き）である。

【図 5】従来の技術の一例を示す製造工程図である。

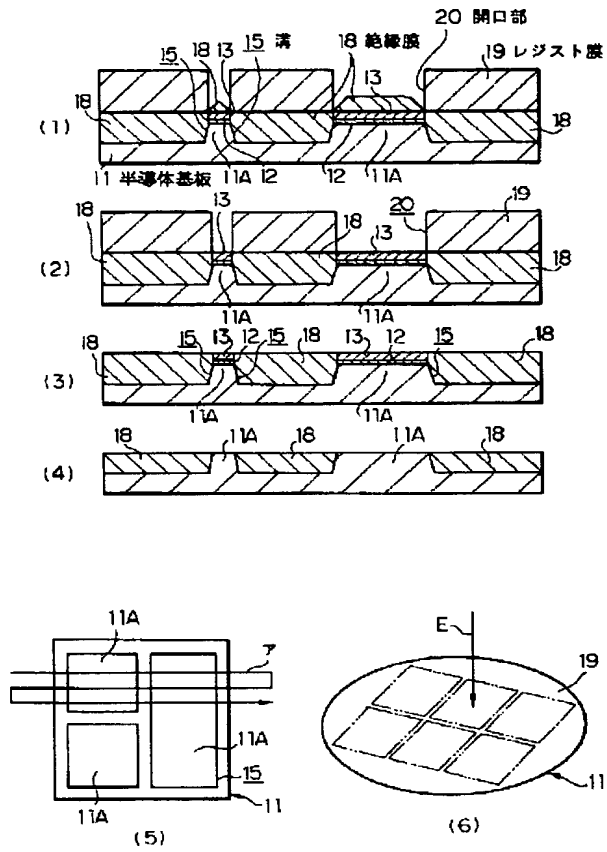
【図 6】従来の技術の一例を示す製造工程図（続き）である。

【図 7】従来の技術の一例を示す製造工程図（続き）である。

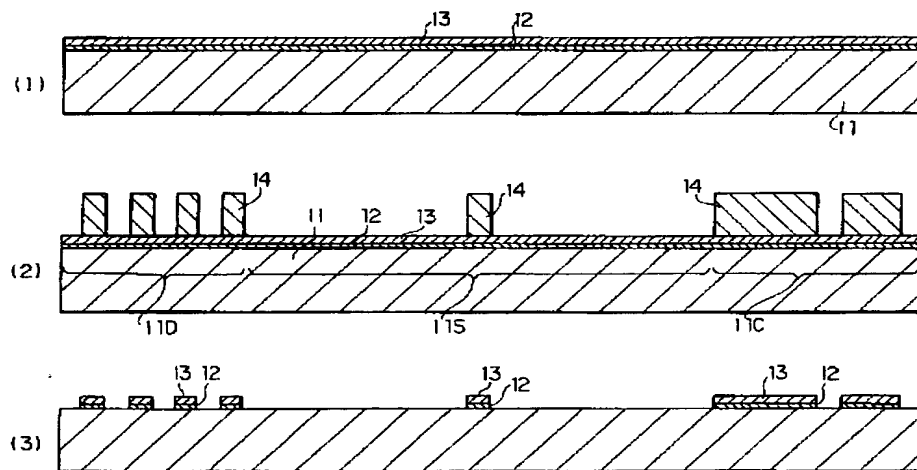
【符号の説明】

11…半導体基板、15…溝、18…絶縁膜、19…レジスト膜、20…開口部

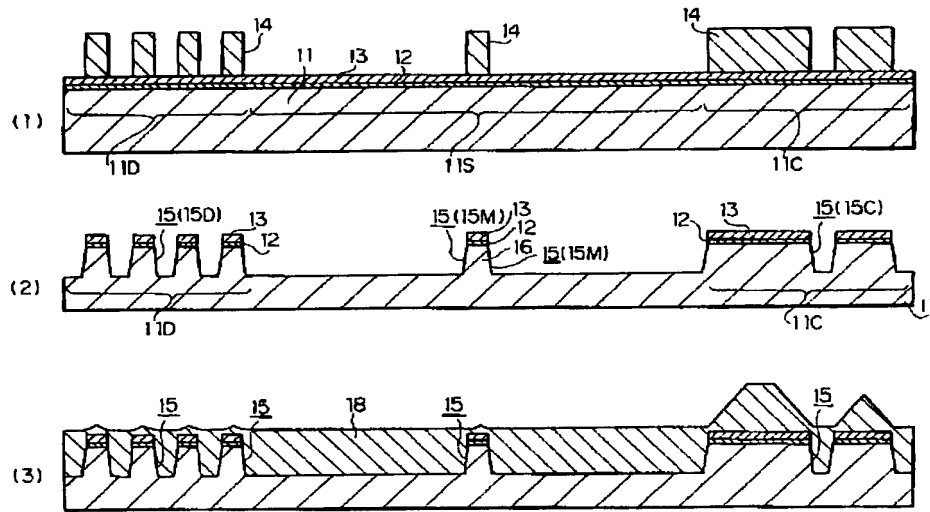
【図 1】



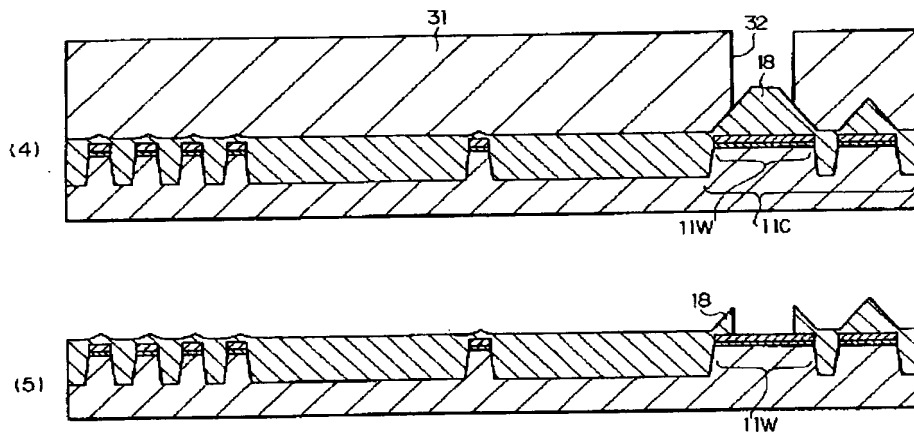
【図 2】



【図 5】



【図 6】



【図 7】

